

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131030

(43)Date of publication of application : 19.05.1995

(51)Int.Cl. H01L 29/786
G02F 1/136

(21)Application number : 05-301337

(71)Applicant : SONY CORP

(22)Date of filing : 05.11.1993

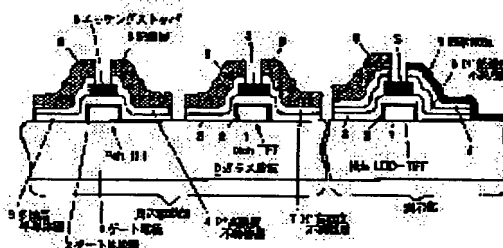
(72)Inventor : INOUE YUKO
KINOSHITA YUKIO
HAYASHI HISAO

(54) THIN FILM SEMICONDUCTOR DEVICE FOR DISPLAY AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To realize an LDD structure of thin film transistor for pixel switching on a large glass substrate through a low temperature process.

CONSTITUTION: The thin film semiconductor device for display comprises a display part and a peripheral drive part formed on a glass substrate 0. A matrix of pixel electrodes 9 and thin film transistor for switching NchLDD-TFT are formed integrally at the display section. Circuit elements, i.e., thin film transistors PchTFT and NchTFT, are formed integrally at the peripheral drive section. Each thin film transistor comprises a gate electrode 1, a polycrystalline semiconductor layer 3 formed thereon through an insulating film 2, and heavily doped impurity layers 4, 7 for source and drain formed thereon. Furthermore, the thin film transistor NchLDD-TFT for switching has an LDD structure where a lightly doped impurity layer 8 is sandwiched between the polycrystalline semiconductor layer 3 and the heavily doped impurity layer 7.



LEGAL STATUS

[Date of request for examination] 27.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

 CLAIMS

[Claim(s)]

[Claim 1] Thin-film-semiconductor equipment for a display equipped with the display and circumference mechanical component which are characterized by providing the following and which were really formed in the glass substrate. Accumulation formation of a matrix-like pixel electrode and the TFT for switching is carried out at this display, accumulation formation of the TFT used as circuit element is carried out at this circumference mechanical component, and each TFT is a gate electrode. The polycrystal semiconductor layer formed on it through the insulator layer. The TFT further for the aforementioned switching is the LDD structure to which it has the source and the high concentration impurity layer for drains which were formed on it, and the low concentration impurity layer intervened between this polycrystal semiconductor layer and this high concentration impurity layer.

[Claim 2] The aforementioned display is thin-film-semiconductor equipment for a display according to claim 1 characterized by having the top section containing this pixel electrode, the bottom section containing the TFT for this switching, and the light-filter layer, black mask layer and flattening layer that intervenes

among both.

[Claim 3] The aforementioned black mask layer is thin-film-semiconductor equipment for a display according to claim 2 characterized by including the metal wiring pattern which carried out electrical connection to this source and the high concentration impurity layer for drains.

[Claim 4] The aforementioned pixel electrode is thin-film-semiconductor equipment for a display according to claim 3 characterized by carrying out electrical connection to this high concentration impurity layer for drains through this metal wiring pattern.

[Claim 5] The manufacture method of the thin-film-semiconductor equipment for a display characterized by providing the following that the display and the circumference mechanical component were formed in the glass substrate in one, a matrix-like pixel electrode and the TFT for switching were accumulated on this display, and the TFT used as circuit element was accumulated on this circumference mechanical component. The process which forms a gate electrode on a glass substrate. The process which performs laser annealing and reforms this semiconductor thin film in a polycrystal semiconductor layer after forming a semiconductor thin film on a gate electrode through an insulator layer. The process which forms a low concentration impurity layer

alternatively on this polycrystal semiconductor layer contained in a display. The source and the high concentration impurity layer for drains are formed on this low concentration impurity layer, and it is LDD structure. [Claim 6] The manufacture method of the thin-film-semiconductor equipment for a display according to claim 5 characterized by including the process which performs additional laser annealing alternatively to the high concentration impurity layer contained in a circumference mechanical component, and attains low resistance-ization of a polycrystal semiconductor layer.

[Claim 7] Laminating LDD structure bottom gate type TFT which consists of the gate electrode formed on the glass substrate, the polycrystal semiconductor layer formed on it through the insulator layer, a low concentration impurity layer formed on it, and the source and the high concentration impurity layer for drains which were formed on it.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the thin-film-semiconductor equipment for a display, and its manufacture method. In more detail, it is large-sized and is related with the thin-film-semiconductor equipment for a

display used for the active-matrix liquid crystal display element which built in the circumference mechanical component, and its manufacture method.

[0002]

[Description of the Prior Art] With reference to drawing 8, the general structure of the conventional active-matrix liquid crystal display element is explained briefly first. An active-matrix liquid crystal display element has the flat panel structure which stuck the main substrate 101 and the opposite substrate 102 with the spacer 103, and liquid crystal is held among both substrates so that it may illustrate. The display 106 which consists of a switching element 105 which drives the pixel electrode 104 arranged in the shape of a matrix and this pixel electrode 104, and the circumference mechanical component 107 connected to this display 106 are formed in the front face of the main substrate 101. The switching element 105 consists of TFT. Moreover, accumulation formation of the TFT is carried out as circuit element also at the circumference mechanical component 107. The main substrate 101 which has this composition is made to call it below the thin-film-semiconductor equipment for a display.

[0003]

[Problem(s) to be Solved by the Invention] The structure which uses contest the present polysilicon as a

semiconductor layer is developed briskly, and TFT (TFT) by which accumulation formation is carried out at the thin-film-semiconductor equipment for a display is comparatively put in practical use with the small (several inches size) active-matrix liquid crystal display element. However, in order to create the polysilicon contest TFT according to an elevated-temperature process, the quartz substrate which was excellent in heatproof is used. On the other hand, by the active-matrix liquid crystal display panel [being comparatively large-sized (from about ten inches to about 10 inches of numbers)], the field of cost to the quartz substrate will be disadvantageous, and will adopt a glass substrate. Since thermal resistance is inferior when a glass substrate is used, the amorphous silicon TFT which can comparatively be created in a low-temperature process is adopted. However, mobility is small and an amorphous silicon TFT cannot make P channel TFT. For this reason, a circumference mechanical component cannot be formed on a glass substrate, but a driver serves as external and is mounted by the TAB method etc. For this reason, the number of pixels is restricted by a screen size and the mounting limitation. Therefore, there is a limitation in highly minute-ization of the thin-film-semiconductor equipment for a display using the amorphous silicon TFT. Moreover, since sufficient ON state

current cannot be taken from an amorphous silicon TFT having small mobility, transistor size becomes large inevitably. For this reason, the area of the amorphous silicon TFT for switching occupied on a display becomes large, and is disadvantageous for a raise in the numerical aperture of a pixel.

[0004] Development of the polysilicon contest TFT of high mobility which can be created in a low-temperature process is performed briskly in recent years. This is technology which heats an amorphous silicon film locally by annealing which used the excimer laser, and is converted into a polysilicon contest film. However, low-temperature-izing of a process and the formation of large-sized substrate correspondence other than formation of a semiconductor layer are difficult, and have not resulted in utilization. For example, there is formation of a gate insulator layer as a process which poses a problem. The gate insulator layer of the present polysilicon contest TFT is formed by oxidizing contest polysilicon thermally at the temperature of about 1000 degrees C. If it replaces with this thermal oxidation process and low-temperature-izes using other forming-membranes methods, sufficient pressure-proofing cannot be taken. Moreover, although the ion implantation of an impurity is performed in order to built-in-ize a circumference mechanical component and to make simultaneously

N channel TFT and P channel TFT, the ion implantation equipment dealing with a large-sized substrate is not put in practical use, but a difficult trouble arises. Although it replaces with an ion implantation equipment and the gaseous-phase dispersion equipment by plasma is developed, impurity control has not resulted in utilization in a mass-production stage difficultly. It is being unable to create in addition to the above, without the most difficult trouble's being a low-temperature process about TFT (following, LDD-TFT) which has LDD structure, and using an ion implantation. It is adopted as the small active-matrix liquid crystal display element, in order LDD-TFT is indispensable and to prevent pixel leak as TFT for switching. However, now, it is very difficult to form LDD-TFT in a low-temperature process, not using an ion implantation.

[0005] it mentioned above -- in view of the technical problem of a Prior art, this invention sets it as the 1st purpose to offer the structure and the process of LDD-TFT in which enlargement of the thin-film-semiconductor equipment for a display and the formation of a low-temperature process are possible. Moreover, it sets it as the 2nd purpose to attain highly efficient-ization of the polysilicon contest TFT contained in a circumference mechanical component, holding the LDD-TFT structure of a

display, in order to enable built-in-ization of a circumference mechanical component in enlargement. Furthermore, in order to attain highly-minute-izing of a pixel, and high numerical aperture-ization in enlargement, it sets it as the 3rd purpose to enable manufacture of the black mask and light filter of on-chip structure.

[0006]

[Means for Solving the Problem] The following meanses were provided, in order to solve the technical problem of a Prior art mentioned above and to attain the purpose of this invention. That is, the thin-film-semiconductor equipment for a display concerning this invention is equipped with the display and circumference mechanical component which were really formed in the glass substrate as fundamental composition. Accumulation formation of a matrix-like pixel electrode and the TFT for switching is carried out at this display. On the other hand, accumulation formation of the TFT used as circuit element is carried out at the circumference mechanical component. Each TFT is a bottom gate type which has a gate electrode, the polycrystal semiconductor layer formed on it through the insulator layer, and the source and the high concentration impurity layer for drains which were formed on it. TFT further for the aforementioned switching is characterized by having the laminating LDD structure where the low concentration impurity layer intervened

between this polycrystal semiconductor layer and this high concentration impurity layer.

[0007] Preferably, the aforementioned display has the top section containing this pixel electrode, the bottom section containing the TFT for this switching, and the light-filter layer, black layer and flattening layer that intervenes among both. In this case, the aforementioned black mask layer contains the metal wiring pattern which carried out electrical connection to this source and the high concentration impurity layer for drains. Furthermore, electrical connection of the aforementioned pixel electrode is carried out to this high concentration impurity layer for drains through this metal wiring pattern.

[0008] The thin-film semiconductor equipment for a display which has this composition can be manufactured according to the following low-temperature processes. That is, a gate electrode is first formed on a glass substrate. Next, after forming a semiconductor thin film on a gate electrode through an insulator layer, laser annealing is performed, and this semiconductor thin film is reformed in a polycrystal semiconductor layer. Then, a low concentration impurity layer is alternatively formed on this polycrystal semiconductor layer contained in a display. Furthermore, the TFT for switching which forms the source and the

high concentration impurity layer for drains, and has laminating LDD structure is formed on this low concentration impurity layer.

Simultaneously, the TFT which forms the direct source and the high concentration impurity layer for drains, and serves as circuit element is formed on the polycrystal semiconductor layer contained in a circumference mechanical component. Additional laser annealing is preferably performed alternatively to the high concentration impurity layer contained in a circumference mechanical component, and low resistance-ization of a polycrystal semiconductor layer is attained.

[0009]

[Function] According to this invention, after forming a gate electrode on a glass substrate, low-temperature membrane formation of the semiconductor thin film is carried out through a gate insulator layer. Laser annealing is performed after that and a semiconductor thin film is converted into a polycrystal semiconductor layer. Thereby, formation of polycrystal TFT is attained in a low-temperature process. Since this is a bottom gate type, it has the structure of being hard to receive a bad influence from impurities, such as sodium contained in a glass substrate. Since a polycrystal semiconductor layer is used as an element field, detailed-izing of TFT is possible. Especially about the TFT for

pixel switching, the low concentration impurity layer and the high concentration impurity layer were formed on the polycrystal semiconductor layer in the low-temperature process, and LDD structure is realized. The pixel leak which serves as a defect fatal as a display device by this can be prevented effectively. On the other hand, by piling up a high concentration impurity layer in a low-temperature process on a polycrystal semiconductor layer about the TFT for circuit elements of a circumference mechanical component, N channel TFT and P channel TFT could be formed simultaneously, and built-in-ization of a driver is realized. Under the present circumstances, additional laser annealing was alternatively given to the TFT contained in a circumference mechanical component, and improvement in the speed of TFT is realized. In addition, it has contributed to highly-minute-izing and high numerical aperture-ization by making a light-filter layer, a black mask layer, and a flattening layer into on-chip structure.

[0010]

[Example] With reference to a drawing, the suitable example of this invention is explained in detail below. Drawing 1 is the typical fragmentary sectional view showing the 1st example of the thin-film-semiconductor equipment for a display concerning this invention. This equipment is equipped with the display

and circumference mechanical component which were really formed in the glass substrate 0. Accumulation formation of the matrix-like pixel electrode 9 and the TFT for switching is carried out at the display. In this example, this TFT (TFT) is TFT (NchLDD-TFT is called hereafter) which has N channel type LDD structure. On the other hand, accumulation formation of the TFT used as circuit element is carried out at the circumference mechanical component. By this example, in order to make illustration easy, the N channel type TFT (henceforth, NchTFT) and P channel type TFT (henceforth, PchTFT) of a couple are shown.

[0011] On the glass substrate 0, patterning formation of the gate electrode 1 is carried out also about which TFT at the predetermined configuration. This gate electrode consists of metals, such as Ta, Ti, Cr, Mo/Ta, and aluminum, Cu. The gate insulator layer 2 which consists of an oxide of these metals on it is formed. About PchTFT and NchTFT of a circumference mechanical component, the polycrystal semiconductor layer 3 which consists of contest pure polysilicon is formed on the gate insulator layer 2. Furthermore on it, the high concentration impurity layer 4 of the case P+ type of PchTFT is formed. On the other hand, in NchTFT, the N+ type high concentration impurity layer 7 is formed. any case -- a high concentration impurity layer -- SiO₂

from -- it is divided by the becoming etching stopper 5 and becomes the source and a drain. The wiring layer 6 is connected to these sources and the drain. [0012] It is the same structure as NchTFT of a circumference mechanical component to the portion in which the polycrystal semiconductor layer 3 which consists of contest pure polysilicon through the gate insulator layer 2 about NchLDD-TFT formed in the display on the gate electrode 1 is formed. On the polycrystal semiconductor layer 3, it is N⁻. The low concentration impurity layer 8 which consists of silicon of type is formed. The high concentration impurity layer 7 which consists of N⁺ type silicon on it is formed. The two-layer silicon piled up in order of these N⁻ and N⁺ serves as LDD structure, and suppresses the OFF state current of NchLDD-TFT. While the wiring layer 6 which consists of aluminum etc. is connected to the source side of NchLDD-TFT, the pixel electrode 9 which consists of transparent electric conduction films, such as ITO, is connected to the last at a drain side.

[0013] Next, with reference to drawing 2, the manufacture method of the thin-film-semiconductor equipment for a display shown in drawing 1 is explained in detail. In this example, using a glass substrate, it is a low-temperature process and NchLDD-TFT of a display and NchTFT of a circumference mechanical component are formed simultaneously,

without using an ion implantation. First, patterning of the gate electrode 1 is carried out on a glass substrate at Process A. Here, Mo/Ta is used as a gate electrode material. Next, it is Ta₂O₅ by anodic oxidation at Process B. It forms and considers as the gate insulator layer 2. The oxide film created by anodic oxidation has the state of an interface, and good homogeneity, and they are excellent as a gate insulator layer. Next, they are the amorphous silicon film 11 and SiO₂ at Process C. Membranes are formed in this order. Then, it anneals with a whole surface excimer laser, and an amorphous silicon 11 is formed into a polysilicon contest. Next, it is SiO₂ at Process D. Patterning of a film 12 and the semiconductor thin film formed into the polysilicon contest is carried out, and it is processed into the etching stopper 5 and the polycrystal semiconductor layer 3, respectively. Furthermore, the silicon low concentration impurity layer 8 of N⁻ is formed by P-CVD to TFT belonging to a display. Next, the silicon high concentration impurity layer 7 of N⁺ is formed by P-CVD at Process E. Thereby, NchTFT by the side of a circumference mechanical component and NchLDD-TFT by the side of a display can form simultaneously. In addition, what is necessary is to replace with the silicon high concentration impurity layer 7 of N⁺, and just to form P⁺ high concentration impurity layer 4, in creating PchTFT by

the circumference mechanical-component side. Finally the wiring layer 6 and the pixel electrode 9 are formed at Process F. According to the above processes, three kinds of transistors PchTFT and NchTFT and NchLDD-TFT can be formed without low temperature and an ion implantation on the same glass substrate. Therefore, the thin-film-semiconductor equipment for a display with a built-in driver which has LDD structure in the TFT for pixel switching can be made.

[0014] Next, with reference to drawing 3, the 2nd example of the thin-film-semiconductor equipment for a display concerning this invention is explained. In advance of explanation, in order to make an understanding of this example easy, a background is explained briefly. As for the active-matrix liquid crystal display element which built in the driver, only small things, such as an object for viewfinders, are commercialized from the field of a manufacturing cost. Therefore, there were many pixels and it was about 300,000 pixels. By the way, as shown in the 1st example, manufacture of the thin-film-semiconductor equipment for a display with a built-in driver was attained using the large-sized glass substrate. The active-matrix liquid crystal display panel currently used for a present portable personal computer, a present word processor, etc. as comparatively large-sized size has VGA

correspondence (480x640x3 pixels) in use. Compared with the horizontal driver which thinks simply that this active-matrix liquid crystal display panel is made into driver on-chip structure, and is built in small (300,000-pixel full line), one 3 times the speed of this is needed. It may be unable to correspond in the TFT of the 1st example shown in this point and drawing 1. The performance of TFT improves by performing annealing at an elevated temperature generally and activating an impurity. However, when a glass substrate is adopted, elevated-temperature annealing cannot be carried out. Moreover, there is **** which disappears since the LDD structure of TFT formed as an object for pixel switching elements is diffusion when activation is put in block by laser annealing and performed. While this example had maintained the LDD structure of the TFT for pixel switching in view of this point, it aims at forming more highly efficient TFT in a circumference mechanical component.

[0015] As shown in drawing 3, this example has the same structure fundamentally with the 1st example shown in drawing 1. Therefore, a corresponding reference number is given to a corresponding portion, and an understanding is made easy. A different point is the composition of the polycrystal semiconductor layer of PchTFT and NchTFT formed in the circumference

mechanical component. The polycrystal semiconductor layer 3 was constituted from contest pure polysilicon by the 1st example. On the other hand, the polycrystal semiconductor layer 13 of PchTFT consists of contest polysilicon of P+ in this example. Therefore, low resistance-ization of a polycrystal semiconductor layer is attained compared with the 1st example, and high-speed operation is possible. In addition, contest pure polysilicon is left behind only between the gate insulator layer 2 and the etching stopper 5. Similarly, the polycrystal semiconductor layer 14 consists of contest N+ polysilicon also about NchTFT, and low resistance-ization is attained. Contest pure polysilicon is left behind only between the gate insulator layer 2 and the etching stopper 5.

[0016] Next, with reference to drawing 4, the manufacture method of the 2nd example shown in drawing 3 is explained in detail. If it compares with the manufacture method of the 2nd example shown in drawing 2, Process E is completely the same so that clearly. In this example, alternative laser annealing is performed in Process F after Process E. That is, while covering NchLDD-TFT for pixel switching elements with a resist 15, an excimer laser performs annealing to NchTFT contained in a circumference mechanical component. Consequently, the high concentration impurity layer 7 of

each other which turns into the polycrystal semiconductor layer 3 which consists of contest pure polysilicon from contest N+ polysilicon formed on it is united, and all portions other than a channel field N-size it. It leaves the polycrystal semiconductor layer 3 which becomes a channel field from contest pure polysilicon as a result, and all other portions change to the polycrystal semiconductor layer 14 which consists of contest N+ polysilicon, and low resistance-ization is attained. The ON state current of NchTFT increases by this, and high-speed operation can also be borne now. Moreover, NchLDD-TFT for pixel switching is maintaining the LDD structure which consists of two-layer [of the low concentration impurity layer 8 and the high concentration impurity layer 7] as it is by carrying out laser annealing of the TFT of a circumference mechanical component alternatively. In Process G, the wiring layer 6 and the pixel electrode 9 can be formed after this, and the thin-film-semiconductor equipment for a display shown in drawing 3 can be obtained. In addition, laser annealing of the addition shown at Process F also about PchTFT is performed.

[0017] Next, the 3rd example of the thin-film-semiconductor equipment for a display applied to this invention with reference to drawing 5 is explained in detail. In advance of it, the background of

this example is explained briefly. In the 2nd example shown in the 1st example shown in drawing 1, and drawing 3, the front face of the thin-film-semiconductor equipment for a display has intense boom hoisting of a front face by TFT, the wiring layer, etc. For the reason, when orientation control of liquid crystal becomes difficult when it incorporates as a liquid crystal display panel, and ON/OFF control of uniform orientation and a pixel poses a problem, it thinks. It is possible to shield TFT and a wiring layer (further auxiliary capacity) with the black mask prepared in the opposite substrate side as this cure, and to prevent deterioration of display grace. However, since width of face of a black mask cannot be narrowed when advancing highly minute-ization of a pixel by this method, it is very disadvantageous. Moreover, in order to raise the numerical aperture by this method, auxiliary capacity will be made under the wiring layer which consists of aluminum etc. However, in the case of bottom gate structure, a wiring layer and a polycrystal semiconductor layer short-circuit, and this structure cannot be taken if there is no insulator layer. Furthermore, since it is necessary to prepare the margin which considered that an alignment error prepared a black mask in an opposite substrate side, a numerical aperture will decrease. In view of the above trouble, in addition to the structure shown in the 1st example or the

2nd example, it is on chip and this example aims at forming a light-filter layer, a black mask layer, and a flattening layer.

[0018] Drawing 5 is the fragmentary sectional view of the structure which built the thin-film-semiconductor equipment for a display concerning the 3rd example into the active-matrix liquid crystal display panel, and has shown 2 pixels. The gate electrode 1 is formed on the glass substrate (the main substrate) 0 which constitutes the thin-film-semiconductor equipment for a display. This gate electrode consists of metals, such as Ta, Ti, Cr, Mo/Ta, and aluminum, Cu. The oxide of these metals is formed on it and it considers as the gate insulator layer 2. The polycrystal semiconductor layer 3 which consists of contest pure polysilicon is formed on the gate insulator layer 2. The high concentration impurity layer 7 which consists of the low concentration impurity layer 8 and N⁺ silicon which consist of the source, each drain, and N⁻silicon on it is formed in this order. The two-layer structure of this N⁻ and N⁺ serves as LDD, and suppresses the OFF state current of NchLDD-TFT. NchLDD-TFT explained above is contained in the bottom section. On the other hand, the pixel electrode 9 belongs to the top section. The light-filter layer, the black mask layer, and the flattening layer intervene between this bottom section

and the top section. The light-filter layer 21 contains the segments 22, 23, and 24 divided into RGB three primary colors corresponding to each pixel. The metal wiring layer 6 used as a signal line is formed on this light-filter layer 21. The gate line containing this metal wiring layer 6 and the gate electrode 1 serves as a black mask layer. Therefore, the metal wiring layer 6 is formed also in the contact hole by the side of the pixel electrode 9. With this, since a concavo-convex level difference is on a glass substrate 0, the flattening layer 25 is formed further. The pixel electrode 9 mentioned above on this flattening layer 25 is formed, and electrical connection is carried out to the drain of NchLDD-TFT through the metal wiring layer 6. In order are on chip and to make the light-filter layer 21 and a black mask layer from this example to the main substrate 0 side, only the counterelectrode 27 which consists of a transparent electric conduction film is formed in the opposite substrate 26 side. The orientation film 28 is formed in the internal surface of the main substrate 0 and the opposite substrate 26. If enclosure charge of the liquid crystal 29 is carried out for both the substrates 0 and 26 into lamination and a gap after carrying out rubbing processing of this orientation film 28, a large-sized active-matrix liquid crystal display panel can be created.

[0019] By forming the flattening layer 25 on the main substrate 0 as mentioned above, concavo-convex boom hoisting of a substrate is decreased, a reverse tilt domain is lost, and -izing of the width of face of a black mask can be carried out [****]. Moreover, the thickness unevenness of the orientation film 28 and the poor orientation at the time of rubbing can be suppressed by decreasing concavo-convex boom hoisting. It is also possible by wiring aluminum on it by making the light-filter layer 21 into an insulator layer for example, to make auxiliary capacity to the bottom of it. By creating a light-filter layer and a black mask layer on the main substrate 0, the alignment precision over the opposite substrate 26 side can ease sharply. Moreover, since NchLDD-TFT uses the polycrystal semiconductor layer 3 which consists of contest polysilicon as an element field, it can carry out [****]-izing of the transistor size. For the above reason, the numerical aperture of an active-matrix liquid crystal display panel improves. Therefore, the power consumption of the whole display including the back light declines.

[0020] Next, with reference to process drawing of drawing 6 and drawing 7, the manufacture method of the 3rd example shown in drawing 5 is explained in detail. Patterning of the gate electrode 1 is first carried out on a glass substrate at Process A. Here, Mo/Ta is adopted as a

metallic material of the gate electrode 1. Next, it is Ta 2O₅ by anodic oxidation at Process B. It forms and considers as the gate insulator layer 2. The oxide created by anodic oxidation has the state of an interface, and good homogeneity, and they are excellent as a gate insulator layer 2. Next, at Process C, they are the silicon film 11 and SiO₂. A film 12 is formed in order, and, subsequently a polysilicon contest is annealed and formed with a whole surface excimer laser. Next, it is SiO₂ at Process D. Patterning of a film and the polysilicon contest film is carried out to a predetermined configuration, respectively, and it considers as the etching stopper 5 and the polycrystal semiconductor layer 3. The low concentration impurity layer 8 which furthermore consists of silicon of N⁻ on the polycrystal semiconductor layer 3 is formed by CVD. Next, the high concentration impurity layer 7 which consists of silicon of N⁺ at Process E is formed.

[0021] Next, it moves to the process F of drawing 7, and patterning of the segments 22 and 23 of the light-filter layer respectively colored the three primary colors of RGB is carried out, respectively. The contact hole which is furthermore open for free passage to the source and the drain of NchLDD-TFT is prepared. Patterning formation of the wiring layer 6 which turns into a black mask layer at Process G is carried out

with a metal. Finally the flattening film 25 is formed at Process H. Patterning formation of the pixel electrode 9 is carried out on it. The orientation film 28 is formed so that this pixel electrode 9 may be covered. It is possible to form according to the above process, without being a low-temperature process about TFT, a light-filter layer, a black mask layer, and a flattening layer, and using an ion implantation on a glass substrate. A driver can be built in if it becomes possible to create the polysilicon contest TFT on a large-sized glass substrate. Since-izing also of the TFT further for pixel switching can be carried out [detailed], a numerical aperture rises. In addition, a numerical aperture rises further by making a light-filter layer and a black mask layer. It contributes to an improvement of a numerical aperture stopping the power consumption of the whole display including the back light. It is advantageous that it is a low power from the relation of battery life on the occasion of loading to portable information machines and equipment, such as a handy terminal.

[0022] In addition, as a supplement, succeedingly with reference to (H) of drawing 7, lessons is taken from composition of each component, thickness, a process, etc., and the example is mentioned. The gate electrode 1 forms a Mo/Ta alloy by the thickness of 200nm by the spatter. Ta 2O₅ by which anodic

oxidation of the gate insulator layer 2 was carried out to about 230nm thickness from -- it becomes By 100nm thickness, the polycrystal semiconductor layer 3 carries out laser annealing of the amorphous silicon formed by plasma CVD, and is obtained. The low concentration impurity layer 8 forms the amorphous silicon of N- by the thickness of 50nm by plasma CVD. Moreover, the high concentration impurity layer 7 deposits the amorphous silicon of N+ by the thickness of 100nm in plasma CVD. The etching stopper 5 is SiO₂ at plasma CVD. It deposits by the thickness of 200nm, and patterning is carried out to a predetermined configuration and it obtains. About each segments 22 and 23 of a light-filter layer, it forms by the thickness of 1500nm by the pigment-content powder method. The metal wiring layer 6 forms Mo by the thickness of 240nm by the spatter, and it carries out patterning to a predetermined configuration. The flattening layer 25 applies a transparent resist by the thickness of 1000nm. After the pixel electrode 9 forms ITO in thickness of 50nm by the spatter, patterning of it is carried out to a predetermined configuration. The orientation film 28 covers a polyimide with the thickness of 80nm by the roll coater.

[0023]

[Effect of the Invention] As explained above, according to this invention, an

amorphous silicon is polycrystal-ized using laser annealing, and manufacture of an N channel transistor, a P channel transistor, and the transistor that has LDD structure is enabled, without using an ion implantation in a low-temperature process further. Thereby, manufacture of the thin-film-semiconductor equipment for a display with a built-in driver is attained using a large-sized glass substrate, and low-cost-izing of an active-matrix liquid crystal display panel, highly-minute-izing, and efficient-ization are realized. Moreover, maintaining the LDD structure of the transistor for switching elements by adding laser annealing only to the TFT contained in a circumference mechanical component alternatively, a more highly efficient transistor is made to a circumference mechanical component, and improvement in the speed of a lump driver is attained. Thereby, it can respond to high pixel number-ization of a large-sized liquid crystal display panel with a built-in driver. Furthermore, low-power-ization of the display module which has improved the numerical aperture of a liquid crystal display panel, and also includes a back light is realized by making a light filter and a black mask on a glass substrate in addition to the poly silicon transistor.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the 1st example of the thin-film-semiconductor equipment for a display concerning this invention.

[Drawing 2] It is the manufacturing process view of the 1st example.

[Drawing 3] It is the cross section showing the 2nd example of the thin-film-semiconductor equipment for a display concerning this invention.

[Drawing 4] It is the manufacturing process view of the 2nd example.

[Drawing 5] It is the cross section showing the 3rd example of the thin-film-semiconductor equipment for a display concerning this invention.

[Drawing 6] It is the manufacturing process view of the 3rd example.

[Drawing 7] Similarly it is the manufacturing process view of the 3rd example.

[Drawing 8] It is the perspective diagram showing the general composition of the conventional active-matrix liquid crystal display element.

[Description of Notations]

- 1 Gate Electrode
- 2 Gate Insulator Layer
- 3 Polycrystal Semiconductor Layer
- 4 P+ High Concentration Impurity Layer
- 5 Etching Stopper
- 6 Wiring Layer
- 7 N+ High Concentration Impurity Layer
- 8 N-Low Concentration Impurity Layer
- 9 Pixel Electrode

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-131030

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 A
		9056-4M		3 1 1 S

審査請求 未請求 請求項の数7 F D (全 9 頁)

(21)出願番号 特願平5-301337

(22)出願日 平成5年(1993)11月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 井上 祐子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 木下 幸男

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

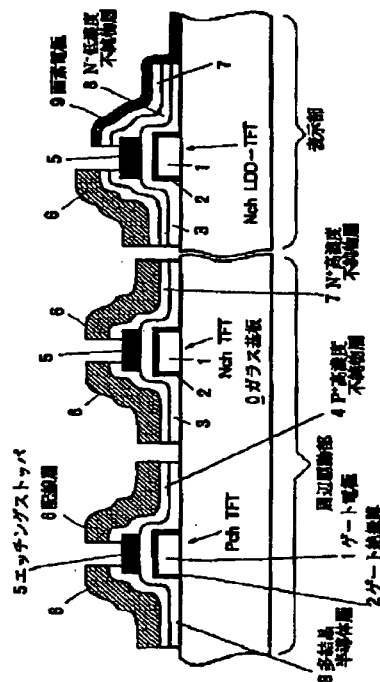
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 表示用薄膜半導体装置及びその製造方法

(57)【要約】

【目的】 大型ガラス基板上で低温プロセスで画素スイッチング用薄膜トランジスタのLDD構造を実現する。

【構成】 表示用薄膜半導体装置はガラス基板0に形成された表示部及び周辺駆動部を備えている。表示部にはマトリクス状の画素電極9及びスイッチング用の薄膜トランジスタNchLDD-TFTが集積形成されている。又周辺駆動部には回路要素となる薄膜トランジスタPchTFT, NchTFTが集積形成されている。個々の薄膜トランジスタは、ゲート電極1と、絶縁膜2を介してその上に形成された多結晶半導体層3と、その上に形成されたソース及びドレイン用高濃度不純物層4又は7とを有している。さらにスイッチング用の薄膜トランジスタNchLDD-TFTは、多結晶半導体層3と高濃度不純物層7との間に低濃度不純物層8が介在したLDD構造を有する。



【特許請求の範囲】

【請求項1】 ガラス基板に一体形成された表示部及び周辺駆動部を備えた表示用薄膜半導体装置であって、該表示部にはマトリクス状の画素電極及びスイッチング用の薄膜トランジスタが集積形成されており、該周辺駆動部には回路要素となる薄膜トランジスタが集積形成されており、

個々の薄膜トランジスタは、ゲート電極と、絶縁膜を介してその上に形成された多結晶半導体層と、その上に形成されたソース及びドレイン用高濃度不純物層とを有しており、

さらに前記スイッチング用の薄膜トランジスタは、該多結晶半導体層と該高濃度不純物層との間に低濃度不純物層が介在したLDD構造を有する事を特徴とする表示用薄膜半導体装置。

【請求項2】 前記表示部は、該画素電極を含む上側部と、該スイッチング用の薄膜トランジスタを含む下側部と、両者の間に介在するカラーフィルタ層、ブラックマスク層及び平坦化層とを有している事を特徴とする請求項1記載の表示用薄膜半導体装置。

【請求項3】 前記ブラックマスク層は、該ソース及びドレイン用高濃度不純物層に電気接続した金属配線パターンを含む事を特徴とする請求項2記載の表示用薄膜半導体装置。

【請求項4】 前記画素電極は、該金属配線パターンを介して該ドレイン用高濃度不純物層に電気接続されている事を特徴とする請求項3記載の表示用薄膜半導体装置。

【請求項5】 ガラス基板に表示部及び周辺駆動部が一体的に形成され、該表示部にはマトリクス状の画素電極及びスイッチング用の薄膜トランジスタが集積され、該周辺駆動部には回路要素となる薄膜トランジスタが集積された表示用薄膜半導体装置の製造方法であって、ガラス基板上にゲート電極を形成する工程と、

絶縁膜を介してゲート電極上に半導体薄膜を成膜した後レーザアニールを行ない該半導体薄膜を多結晶半導体層に改質する工程と、

表示部に含まれる該多結晶半導体層の上に選択的に低濃度不純物層を成膜する工程と、

該低濃度不純物層の上にソース及びドレイン用の高濃度不純物層を成膜しLDD構造を有するスイッチング用の薄膜トランジスタを形成するとともに、同時に周辺駆動部に含まれる多結晶半導体層の上にソース及びドレイン用の高濃度不純物層を成膜し回路要素となる薄膜トランジスタを形成する工程とを行なう事を特徴とする表示用薄膜半導体装置の製造方法。

【請求項6】 周辺駆動部に含まれる高濃度不純物層に対して選択的に追加のレーザアニールを行ない、多結晶半導体層の低抵抗化を図る工程を含む事を特徴とする請求項5記載の表示用薄膜半導体装置の製造方法。

【請求項7】 ガラス基板上に形成されたゲート電極

と、絶縁膜を介してその上に形成された多結晶半導体層と、その上に形成された低濃度不純物層と、その上に形成されたソース及びドレイン用高濃度不純物層とからなる積層LDD構造ボトムゲート型薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示用薄膜半導体装置及びその製造方法に関する。より詳しくは、大型で且つ周辺駆動部を内蔵したアクティブマトリクス液晶表示素子に用いられる表示用薄膜半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 先ず最初に図8を参照して従来のアクティブマトリクス液晶表示素子の一般的な構造を簡潔に説明する。図示する様に、アクティブマトリクス液晶表示素子は、主基板101と対向基板102とをスペーサ103により貼り合わせたフラットパネル構造を有し、両基板の間に液晶が保持されている。主基板101の表面にはマトリクス状に配列した画素電極104とこの画素電極104を駆動するスイッチング素子105とからなる表示部106と、この表示部106に接続される周辺駆動部107とが形成されている。スイッチング素子105は薄膜トランジスタで構成されている。又、周辺駆動部107にも回路要素として薄膜トランジスタが集積形成されている。かかる構成を有する主基板101は、以下表示用薄膜半導体装置と呼ぶ事にする。

【0003】

【発明が解決しようとする課題】 表示用薄膜半導体装置に集積形成される薄膜トランジスタ(TFT)は、現在ポリシリコンを半導体層とする構造が盛んに開発されており、比較的小型(数インチサイズ)のアクティブマトリクス液晶表示素子で実用化されている。しかしながらポリシリコンTFTは高温プロセスにより作成する為耐熱的に優れた石英基板が用いられている。これに対して比較的大型(十数インチから数十インチ程度)のアクティブマトリクス液晶表示パネルではコストの面から石英基板は不利でありガラス基板を採用する事になる。ガラス基板を用いた場合耐熱性が劣るので比較的低温のプロセスで作成可能なアモルファスシリコンTFTが採用されている。しかしながらアモルファスシリコンTFTは移動度が小さくPチャネルTFTが作れない。この為周辺駆動部をガラス基板上に形成する事ができずドライバは外付けとなりTAB方式等により実装される。この為、画素数は画面サイズと実装限界によって制限される。よってアモルファスシリコンTFTを用いた表示用薄膜半導体装置の高精細化には限界がある。又、アモルファスシリコンTFTは移動度が小さい事から、十分なオン電流がとれない為トランジスタサイズが必然的に大きくなる。この為、表示部上に占めるスイッチング用アモルファスシリコンTFTの面積が大きくなり画素の高

開口率化に不利である。

【0004】近年低温プロセスで作成可能な高移動度のポリシリコンTFTの開発が盛んに行なわれている。これは、アモルファスシリコン膜をエキシマレーザを用いたアニールで局部的に加熱しポリシリコン膜に転換する技術である。しかしながら、半導体層の形成以外のプロセスの低温化及び大型基板対応化が困難であり実用化には至っていない。例えば問題となるプロセスとしてはゲート絶縁膜の形成がある。現在のポリシリコンTFTのゲート絶縁膜は1000℃程度の温度でポリシリコンを熱酸化する事によって形成されている。この熱酸化プロセスに代えて他の成膜法を用い低温化すると十分な耐圧がとれない。又、周辺駆動部を内蔵化する為NチャネルTFT及びPチャネルTFTを同時に作り込む為には、不純物のイオン注入を行なっているが、大型基板対応のイオン注入装置が実用化されておらず困難な問題点が生じる。イオン注入装置に代えてプラズマによる気相拡散装置が開発されているが、不純物制御が難しく量産段階での実用化には至っていない。以上に加えて最も困難な問題点は、LDD構造を有するTFT（以下、LDD-TFT）を低温プロセスで且つイオン注入を用いずに作成する事ができない事である。スイッチング用の薄膜トランジスタとしてLDD-TFTは必要不可欠であり画素リークを防止する為に小型のアクティブマトリクス液晶表示素子には採用されている。しかしながら、イオン注入を用いず且つ低温プロセスでLDD-TFTを形成する事は現在のところ極めて困難である。

【0005】上述した従来の技術の課題に鑑み、本発明は表示用薄膜半導体装置の大型化及び低温プロセス化が可能なLDD-TFTの構造並びに製法を提供する事を第1の目的とする。又、大型化に当たって周辺駆動部の内蔵化を可能にする為表示部のLDD-TFT構造を保持したまま、周辺駆動部に含まれるポリシリコンTFTの高性能化を達成する事を第2の目的とする。さらに、大型化に当たって画素の高精細化並びに高開口率化を達成する為、オンチップ構造のブラックマスクやカラーフィルタを製造可能とする事を第3の目的とする。

【0006】

【課題を解決するための手段】上述した従来の技術の課題を解決し本発明の目的を達成する為以下の手段を講じた。即ち、本発明にかかる表示用薄膜半導体装置は基本的な構成として、ガラス基板に一体形成された表示部及び周辺駆動部を備えている。該表示部にはマトリクス状の画素電極及びスイッチング用の薄膜トランジスタが集積形成されている。一方周辺駆動部には回路要素となる薄膜トランジスタが集積形成されている。個々の薄膜トランジスタはゲート電極と、絶縁膜を介してその上に形成された多結晶半導体層と、その上に形成されたソース及びドレイン用高濃度不純物層とを有するボトムゲート型である。さらに前記スイッチング用の薄膜トランジスタ

は、該多結晶半導体層と該高濃度不純物層との間に低濃度不純物層が介在した積層LDD構造を有する事を特徴とする。

【0007】好ましくは、前記表示部は該画素電極を含む上側部と、該スイッチング用の薄膜トランジスタを含む下側部と、両者の間に介在するカラーフィルタ層、ブラック層及び平坦化層とを有している。この場合、前記ブラックマスク層は、該ソース及びドレイン用高濃度不純物層に電気接続した金属配線パターンを含む。さらに前記画素電極は該金属配線パターンを介して該ドレイン用高濃度不純物層に電気接続されている。

【0008】かかる構成を有する表示用薄膜半導体装置は以下の低温プロセスにより製造可能である。即ち、先ずガラス基板上にゲート電極を形成する。次に、絶縁膜を介してゲート電極上に半導体薄膜を成膜した後レーザアニールを行ない、該半導体薄膜を多結晶半導体層に改質する。続いて、表示部に含まれる該多結晶半導体層の上に選択的に低濃度不純物層を成膜する。さらに、該低濃度不純物層の上にソース及びドレイン用の高濃度不純物層を成膜し積層LDD構造を有するスイッチング用の薄膜トランジスタを形成する。同時に、周辺駆動部に含まれる多結晶半導体層の上に直接ソース及びドレイン用の高濃度不純物層を成膜し回路要素となる薄膜トランジスタを形成する。好ましくは、周辺駆動部に含まれる高濃度不純物層に対して選択的に追加のレーザアニールを行ない、多結晶半導体層の低抵抗化を図る。

【0009】

【作用】本発明によれば、ガラス基板上にゲート電極を形成した後ゲート絶縁膜を介して半導体薄膜を低温成膜する。その後レーザアニールを行ない半導体薄膜を多結晶半導体層に転換する。これにより、低温プロセスで多結晶薄膜トランジスタの形成が可能になる。これはボトムゲート型である為、ガラス基板に含まれるナトリウム等の不純物から悪影響を受けにくい構造となっている。多結晶半導体層を素子領域として用いる為TFTの微細化が可能である。特に、画素スイッチング用の薄膜トランジスタについては低温プロセスで多結晶半導体層の上に低濃度不純物層と高濃度不純物層を成膜しLDD構造を実現している。これにより表示素子としては致命的な欠陥となる画素リーク等を有効に防止できる。一方、周辺駆動部の回路素子用薄膜トランジスタについては多結晶半導体層の上に低温プロセスで高濃度不純物層を重ねる事により、NチャネルTFT及びPチャネルTFTを同時に形成可能であり、ドライバの内蔵化を実現している。この際、周辺駆動部に含まれる薄膜トランジスタに対して選択的に追加のレーザアニールを施しTFTの高速化を実現している。加えて、カラーフィルタ層、ブラックマスク層及び平坦化層をオンチップ構造とする事により高精細化及び高開口率化に寄与している。

【0010】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示用薄膜半導体装置の第1実施例を示す模式的な部分断面図である。本装置はガラス基板0に一体形成された表示部及び周辺駆動部を備えている。表示部にはマトリクス状の画素電極9及びスイッチング用の薄膜トランジスタが集積形成されている。本例ではこの薄膜トランジスタ(TFT)はNチャネル型のLDD構造を有する薄膜トランジスタ(以下、NchLDD-TFTと称する)である。一方周辺駆動部には回路要素となる薄膜トランジスタが

【0011】ガラス基板0上には何れのTFTについてもゲート電極1が所定の形状にパタニング形成されている。このゲート電極は、例えば、Ta、Ti、Cr、Mo/Ta、Al、Cu等の金属からなる。その上にはこれら金属の酸化物からなるゲート絶縁膜2が形成されている。周辺駆動部のPchTFT及びNchTFTについては、ゲート絶縁膜2の上にピュアポリシリコンからなる多結晶半導体層3が形成されている。さらにその上にはPchTFTの場合P+型の高濃度不純物層4が形成されている。一方NchTFTの場合にはN+型の高濃度不純物層7が形成されている。何れの場合も、高濃度不純物層はSiO₂からなるエッチングストップ5により分割されており、ソース及びドレインとなる。これらソース及びドレインには配線層6が接続されている。

【0012】表示部に形成されたNchLDD-TFTについては、ゲート電極1の上にゲート絶縁膜2を介してピュアポリシリコンからなる多結晶半導体層3が形成されている部分まで周辺駆動部のNchTFTと同一構造である。多結晶半導体層3の上にはN-型のシリコンからなる低濃度不純物層8が形成されている。その上にN+型のシリコンからなる高濃度不純物層7が形成されている。これらN-、N+の順で重ねられた2層シリコンがLDD構造となり、NchLDD-TFTのオフ電流を抑制する。最後に、NchLDD-TFTのソース側にはアルミニウム等からなる配線層6が接続される一方、ドレイン側にはITO等の透明導電膜からなる画素電極9が接続される。

【0013】次に図2を参照して、図1に示した表示用薄膜半導体装置の製造方法を詳細に説明する。本例ではガラス基板を用い、低温プロセスで且つイオン注入を用いず、表示部のNchLDD-TFTと周辺駆動部のNchTFTを同時に形成している。まず、工程Aでガラス基板上にゲート電極1をパタニングする。ここでは、ゲート電極材料としてMo/Taを用いる。次に、工程Bで陽極酸化によりTa₂O₅を形成しゲート絶縁膜2とする。陽極酸化で作成された酸化膜は界面の状態

及び均一性が良く、ゲート絶縁膜として優れている。次に、工程Cでアモルファスシリコン膜11及びSiO₂をこの順で成膜する。続いて、全面エキシマレーザでアニールし、アモルファスシリコン11をポリシリコン化する。次に、工程DでSiO₂膜12及びポリシリコン化された半導体薄膜をパタニングし、夫々エッチングストップ5及び多結晶半導体層3に加工する。さらに、表示部に属するTFTに対してN-のシリコン低濃度不純物層8をP-CVDで成膜する。次に工程EでN+のシリコン高濃度不純物層7をP-CVDで成膜する。これにより周辺駆動部側のNchTFTと表示部側のNchLDD-TFTが同時に形成できる。なお、周辺駆動部側でPchTFTを作成する場合には、N+のシリコン高濃度不純物層7に代えて、P+高濃度不純物層4を成膜すれば良い。最後に工程Fで配線層6及び画素電極9を形成する。以上の様な工程により、3種類のトランジスタPchTFT、NchTFT、NchLDD-TFTを同一ガラス基板上に低温且つイオン注入なしで形成する事ができる。よって、画素スイッチング用薄膜トランジスタにLDD構造を持つドライバ内蔵の表示用薄膜半導体装置を作り込む事ができる。

【0014】次に図3を参照して、本発明にかかる表示用薄膜半導体装置の第2実施例を説明する。説明に先立って、本実施例の理解を容易にする為背景を簡潔に説明する。ドライバを内蔵したアクティブマトリクス液晶表示素子は、製造コストの面からビューファインダ用等小型のもののみ商品化されている。従って画素数も多くて30万画素程度であった。ところで、第1実施例に示した様に大型ガラス基板を用いてドライバ内蔵の表示用薄膜半導体装置が製造可能になった。比較的大型のサイズとして現在の携帯用パーソナルコンピュータやワードプロセッサ等に使用されているアクティブマトリクス液晶表示パネルはVGA対応(480×640×3画素)が主流である。このアクティブマトリクス液晶表示パネルをドライバオンチップ構造にすると、単純に考えて小型(30万画素フルライン)に内蔵される水平方向ドライバと比べ3倍のスピードが必要となる。この点、図1に示した第1実施例の薄膜トランジスタでは対応できない可能性がある。一般に高温でアニールを行ない不純物を活性化させる事によって薄膜トランジスタの性能は向上する。しかしながらガラス基板を採用した場合高温アニールは実施できない。又、活性化処理をレーザアニールで一括して行なうと、画素スイッチング素子用として形成したTFTのLDD構造が拡散の為消滅してしまう惧れがある。この点に鑑み、本実施例は画素スイッチング用薄膜トランジスタのLDD構造を維持したままで、より高性能な薄膜トランジスタを周辺駆動部に形成する事を目的とする。

【0015】図3に示す様に、本実施例は図1に示した第1実施例と基本的に同一の構造を有している。従っ

て、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、周辺駆動部に形成されたPchTFTとNchTFTの多結晶半導体層の組成である。第1実施例では多結晶半導体層3はピュアポリシリコンから構成されていた。これに対し、本実施例ではPchTFTの多結晶半導体層13はP+のポリシリコンからなる。従って第1実施例に比べ多結晶半導体層の低抵抗化が図られており高速動作が可能である。なお、ピュアポリシリコンはゲート絶縁膜2とエッチングストップ5の間にのみ残されている。同様にNchTFTについても多結晶半導体層14はN+ポリシリコンからなり低抵抗化が図られている。ピュアポリシリコンはゲート絶縁膜2とエッチングストップ5の間にのみ残されている。

【0016】次に図4を参照して、図3に示した第2実施例の製造方法を詳細に説明する。図2に示した第2実施例の製造方法と比較すれば明らかな様に、工程Eまでは全く同様である。本実施例では工程Eの後、工程Fにおいて選択的なレーザアニールを行なっている。即ち、画素スイッチング素子用のNchLDD-TFTをレジスト15で被覆する一方、周辺駆動部に含まれるNchTFTに対してエキシマレーザでアニールを行なう。この結果、ピュアポリシリコンからなる多結晶半導体層3とその上に形成されたN+ポリシリコンからなる高濃度不純物層7は互いに融合し、チャネル領域以外の部分が全てN化する。この結果チャネル領域にピュアポリシリコンからなる多結晶半導体層3を残して、他の部分は全てN+ポリシリコンからなる多結晶半導体層14に変化し低抵抗化が図られる。これによりNchTFTのオン電流が増加し、高速動作にも耐えられる様になる。又、周辺駆動部の薄膜トランジスタを選択的にレーザアニールする事によって、画素スイッチング用のNchLDD-TFTは低濃度不純物層8と高濃度不純物層7の2層からなるLDD構造をそのまま維持している。この後工程Gにおいて配線層6及び画素電極9を形成し、図3に示した表示用薄膜半導体装置を得る事ができる。なお、PchTFTについても工程Fで示した追加のレーザアニールを行なう。

【0017】次に図5を参照して本発明にかかる表示用薄膜半導体装置の第3実施例を詳細に説明する。それに先立って、本実施例の背景を簡潔に説明する。図1に示した第1実施例及び図3に示した第2実施例では、表示用薄膜半導体装置の表面はTFTや配線層等により表面の起伏が激しい。その為、液晶表示パネルとして組み込んだ場合液晶の配向制御が難しくなり、均一な配向及び画素のオン/オフ制御が問題となる場合も考えられる。この対策として、薄膜トランジスタや配線層（さらには補助容量）を、対向基板側に設けたブラックマスクで遮閉し表示品位の低下を防止する事が考えられる。しかしながらこの方法では画素の高精細化を進めていく上で

ラックマスクの幅を狭くできない為極めて不利である。又この方法で開口率を上げていく為には、アルミニウム等からなる配線層の下に補助容量を作り込む事になる。しかしながらボトムゲート構造の場合配線層と多結晶半導体層がショートしてしまい、絶縁膜がないとこの構造はとれない。さらに、ブラックマスクを対向基板側に設けると位置合わせ誤差を考慮したマージンを設ける必要がある為開口率が減少してしまう。以上の問題点を鑑み、本実施例は第1実施例あるいは第2実施例に示した構造に加えて、オンチップでカラーフィルタ層、ブラックマスク層及び平坦化層を形成する事を目的とする。

【0018】図5は第3実施例にかかる表示用薄膜半導体装置をアクティブマトリクス液晶表示パネルに組み込んだ構造の部分断面図であり、2画素分を示してある。表示用薄膜半導体装置を構成するガラス基板（主基板）0の上にゲート電極1が形成されている。このゲート電極は、Ta, Ti, Cr, Mo/Ta, Al, Cu等の金属からなる。その上にこれら金属の酸化物を形成しゲート絶縁膜2とする。ゲート絶縁膜2の上にピュアポリシリコンからなる多結晶半導体層3が形成されている。その上にソース、ドレイン夫々、N-シリコンからなる低濃度不純物層8及びN+シリコンからなる高濃度不純物層7がこの順で形成されている。このN-, N+の2層構造がLDDとなりNchLDD-TFTのオフ電流を抑制する。以上に説明したNchLDD-TFTは下側部に含まれる。一方画素電極9は上側部に属する。この下側部と上側部の間にカラーフィルタ層、ブラックマスク層及び平坦化層が介在している。カラーフィルタ層21は各画素に対応してRGB三原色に分割されたセグメント22, 23, 24を含んでいる。このカラーフィルタ層21の上に信号線となる金属配線層6が形成されている。この金属配線層6とゲート電極1を含むゲートラインがブラックマスク層となる。従って、画素電極9側のコンタクトホールにも金属配線層6が設けられている。このままではガラス基板0上に凹凸段差があるので、さらに平坦化層25を成膜する。この平坦化層25の上に前述した画素電極9が形成されており、金属配線層6を介してNchLDD-TFTのドレインに電気接続している。本実施例ではカラーフィルタ層21及びブラックマスク層を主基板0側にオンチップで作り込む為、対向基板26側には透明導電膜からなる対向電極27のみが形成される。主基板0及び対向基板26の内表面には配向膜28が形成されている。この配向膜28をラビング処理した後両基板0, 26を貼り合わせ、間隙内に液晶29を封入充電すると、大型のアクティブマトリクス液晶表示パネルを作成する事ができる。

【0019】以上の様に主基板0の上に平坦化層25を形成する事により、基板の凹凸起伏を減少させ、リバースチルトドメインをなくしてブラックマスクの幅を縮小化できる。又、凹凸起伏を減少させる事により、配向膜

28の厚みむらやラビング時の配向不良を抑制できる。カラーフィルタ層21を絶縁膜として、例えばその上にアルミニウムを配線する事によってその下に補助容量を作り込む事も可能である。主基板0上にカラーフィルタ層とブラックマスク層を作成する事によって、対向基板26側に対する位置合わせ精度が大幅に緩和できる。又NchLDD-TFTはポリシリコンからなる多結晶半導体層3を素子領域として用いている為トランジスタサイズを縮小化できる。以上の理由により、アクティブマトリクス液晶表示パネルの開口率は改善される。よって、バックライトを含めたディスプレイ全体の消費電力が低下する。

【0020】次に図6及び図7の工程図を参照して、図5に示した第3実施例の製造方法を詳細に説明する。先ず工程Aでガラス基板上にゲート電極1をパタニングする。ここではゲート電極1の金属材料としてMo/Taを採用する。次に工程Bで陽極酸化によりTa₂O₅を形成しゲート絶縁膜2とする。陽極酸化で作成された酸化物は界面の状態及び均一性が良く、ゲート絶縁膜2として優れている。次に工程Cで、シリコン膜11及びSiO₂膜12を順に形成し、次いで全面エキシマレーザでアニールしポリシリコン化する。次に工程DでSiO₂膜及びポリシリコン膜を夫々所定の形状にパタニングしエッチングストップ5及び多結晶半導体層3とする。さらに多結晶半導体層3の上にN-のシリコンからなる低濃度不純物層8をCVDで成膜する。次に工程EでN+のシリコンからなる高濃度不純物層7を形成する。

【0021】次に図7の工程Fに移り、RGBの三原色に各々着色されたカラーフィルタ層のセグメント22、23を夫々パタニングする。さらにNchLDD-TFTのソース及びドレインに連通するコンタクトホールを設ける。工程Gで、ブラックマスク層となる配線層6を金属でパタニング形成する。最後に工程Hで平坦化膜25を成膜する。その上に画素電極9をパタニング形成する。この画素電極9を被覆する様に配向膜28を成膜する。以上の工程により、ガラス基板上に薄膜トランジスタ、カラーフィルタ層、ブラックマスク層及び平坦化層を低温プロセスで且つイオン注入を用いる事なく形成する事が可能である。大型のガラス基板上にポリシリコンTFTを作成する事が可能になると、ドライバを内蔵する事ができる。さらに画素スイッチング用の薄膜トランジスタも微細化できる事から開口率は上昇する。これに加えて、カラーフィルタ層やブラックマスク層を作り込む事によって一層開口率が上昇する。開口率の改善はバックライトを含めたディスプレイ全体の消費電力を抑える事に貢献する。ハンディーターミナル等の携帯用情報機器への搭載に際して、バッテリー寿命の関係から低消費電力である事は有利である。

【0022】なお補足として図7の(H)を引き続き参照し、各構成要素の組成、膜厚、製法等につき具体例を

挙げておく。ゲート電極1は、例えばスパッタ法によりMo/Ta合金を200nmの厚みで成膜する。ゲート絶縁膜2は例えば230nm程度の膜厚に陽極酸化されたTa₂O₅からなる。多結晶半導体層3は、例えば100nmの膜厚でプラズマCVDにより成膜されたアモルファスシリコンをレーザアニールして得られる。低濃度不純物層8は例えばプラズマCVDによりN-のアモルファスシリコンを50nmの厚みで成膜する。又高濃度不純物層7は、例えばプラズマCVDでN+のアモルファスシリコンを100nmの厚みで堆積する。エッチングストップ5は、例えばプラズマCVDでSiO₂を200nmの厚みで堆積し所定の形状にパタニングして得る。カラーフィルタ層の各セグメント22、23については顔料分散法により1500nmの厚みで形成する。金属配線層6は、例えばスパッタ法によりMoを240nmの厚みで成膜し所定の形状にパタニングする。平坦化層25は、例えば透明レジストを1000nmの厚みで塗布する。画素電極9は例えばITOをスパッタ法で50nmの厚みに成膜した後所定の形状にパタニングする。配向膜28は、例えばロールコートによりポリイミドを80nmの厚みで被覆する。

【0023】

【発明の効果】以上説明した様に、本発明によれば、レーザアニールを用いてアモルファスシリコンを多結晶化し、さらに低温プロセスでイオン注入を用いずにNチャネルトランジスタ、Pチャネルトランジスタ、LDD構造を有するトランジスタの製造を可能にする。これにより、大型ガラス基板を用いてドライバ内蔵の表示用薄膜半導体装置の製造が可能になり、アクティブマトリクス液晶表示パネルの低コスト化、高精細化、高効率化を実現する。又、周辺駆動部に含まれる薄膜トランジスタにのみ選択的にレーザアニールを追加する事によって、スイッチング素子用トランジスタのLDD構造を維持しつつ、より高性能なトランジスタを周辺駆動部に作り込みドライバの高速化を達成する。これにより、ドライバ内蔵大型液晶表示パネルの高画素数化に対応できる。さらに、ガラス基板上にポリシリコントランジスタに加え、カラーフィルタやブラックマスクを作り込む事によって、液晶表示パネルの開口率を改善しバックライトも含めたディスプレイモジュールの低消費電力化を実現する。

【図面の簡単な説明】

【図1】本発明にかかる表示用薄膜半導体装置の第1実施例を示す断面図である。

【図2】第1実施例の製造工程図である。

【図3】本発明にかかる表示用薄膜半導体装置の第2実施例を示す断面図である。

【図4】第2実施例の製造工程図である。

【図5】本発明にかかる表示用薄膜半導体装置の第3実施例を示す断面図である。

【図6】第3実施例の製造工程図である。

【図7】同じく第3実施例の製造工程図である。

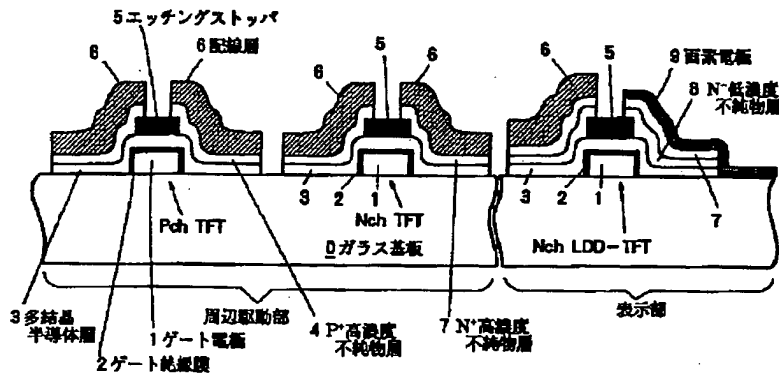
【図8】従来のアクティブマトリクス液晶表示素子の一般的な構成を示す斜視図である。

【符号の説明】

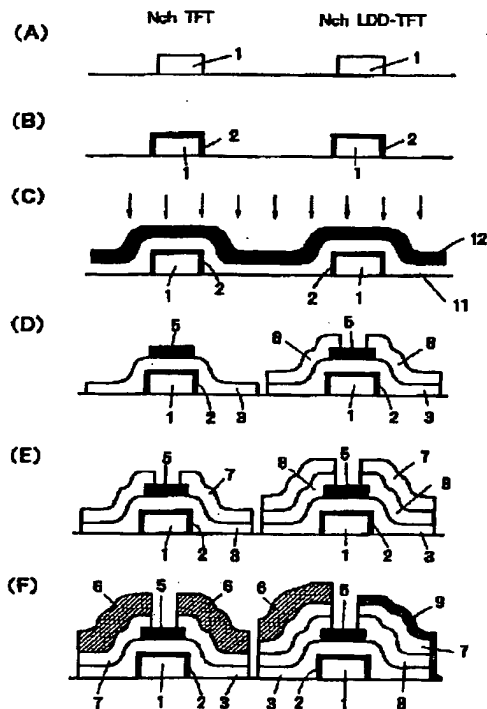
- 1 ゲート電極
2 ゲート絶縁膜

- 3 多結晶半導体層
4 P+高濃度不純物層
5 エッチングストッパ
6 配線層
7 N+高濃度不純物層
8 N-低濃度不純物層
9 画素電極

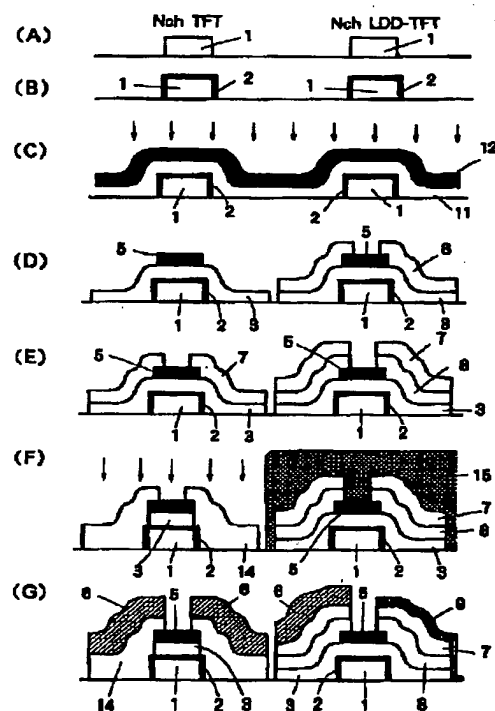
【図1】



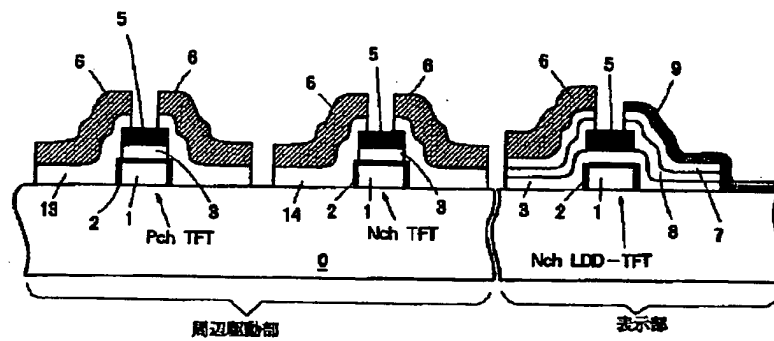
【図2】



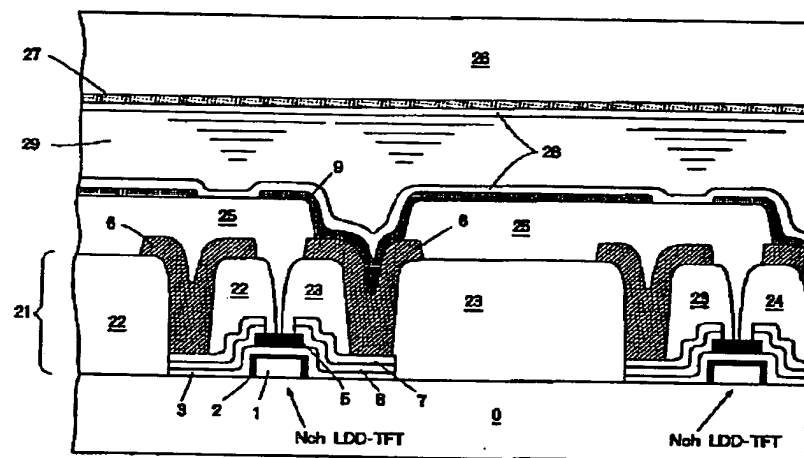
【図4】



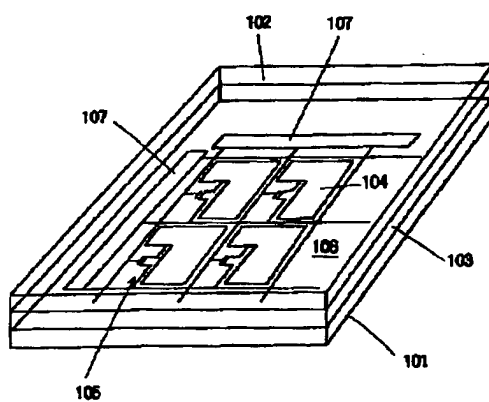
【図3】



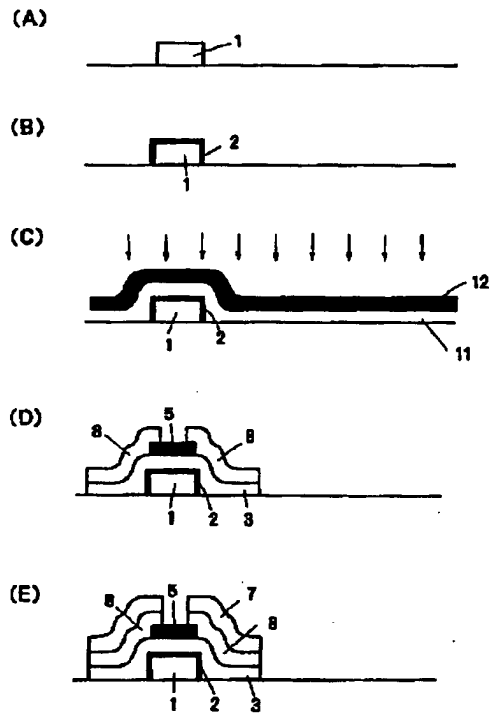
【図5】



【図8】



【図 6】



【図 7】

